



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2002년 제 38892 호
Application Number PATENT-2002-0038892

출 원 년 월 일 : 2002년 07월 05일
Date of Application JUL 05, 2002

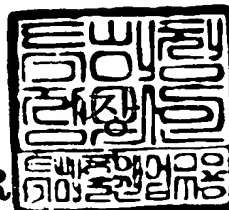
출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002.07.05
【국제특허분류】	H01L
【발명의 명칭】	S O I 웨이퍼 및 그의 제조방법
【발명의 영문명칭】	Silicon-On-Insulator wafer and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이상돈
【성명의 영문표기】	LEE, Sang Don
【주민등록번호】	690603-1042313
【우편번호】	135-946
【주소】	서울특별시 강남구 일원2동 우성7차아파트 105동 405호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 27 항 973,000 원

【합계】 1,007,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 SOI 웨이퍼 및 그의 제조방법에 관한 것이다. 본 발명의 SOI 웨이퍼(SOI wafer)는, 소자형성 영역을 정의하기 위해서 형성된 소자분리용 절연막을 포함하는 제1 반도체 기판과, 이 제1반도체 기판 상의 소자형성 영역에 구역별로 형성된 웰영역과 메몰층 및 제1반도체 기판과 접합되고 상호 대면하는 접합면에 소정의 접합용 절연막이 형성된 제2반도체 기판을 포함한다.

이렇게 소자형성 영역이 정의되고 메몰층과 웰영역이 형성된 SOI 웨이퍼는, 그 위에 형성되는 반도체 장치의 단가를 절감시킬 수 있고, 전기적 특성이 양호하여 제품 신뢰성을 향상시킬 수 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

S O I 웨이퍼 및 그의 제조방법{Silicon-On-Insulator wafer and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 본 발명에 의해서 제조된 SOI 웨이퍼의 단면도이다.

도 2는 본 발명의 SOI 웨이퍼의 제조방법을 개략적으로 나타낸 공정 흐름도이다.

도 3 내지 도 10은 본 발명의 SOI 웨이퍼의 제조방법을 순차적으로 나타낸 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 SOI(Silicon-on Insulator) 웨이퍼 및 그의 제조방법에 관한 것으로서, 특히 두 개의 반도체 기판 접합법(wafer bonding)을 이용하여 제조된 SOI 웨이퍼와 그의 제조방법에 관한 것이다.

<5> 소자가 극도로 고집적화 되면서 소자형성을 위한 선폭(design rule)이 좁아지고, 이에 따라서 인접하여 형성된 소자간의 절연 성능이 문제가 된다. 그리고, 반도체 기판 상에 형성되는 소자는 측방으로의 절연은 기능하나, 반도체 기판의 하부로 연장된 벌크 영역으로의 절연이 잠재적으로 문제가 되어 왔다. 그리하여, 비교적 고전압에서 작동하는 파워 트랜지스터나 RF 디바이스(RF device) 등의 반도체 장치 들에서는 소자간의 편

치쓰루(punch through)가 쉽게 발생된다. 그리고, 벌크 영역으로의 기생 트랜지스터와 기생 캐패시터 등의 기생 파라미터(parasitic parameter)가 큰 문제가 된다.

<6> 이러한 문제를 극복하기 위해서, 일반적으로 소자의 측방 뿐만 아니라 하부 벌크 영역도 절연막으로 차단하여 소자형성 영역을 완전히 주변 소자들로부터 전기적으로 절연시킬 수 있는 SOI 웨이퍼(SOI wafer)를 사용한다. SOI 웨이퍼는, 실리콘 기판(Silicon-substrate) 상에 절연막(Insulator)과 단결정 실리콘(Silicon) 막이 순차적으로 형성되어 있는 구조이다. 이러한 SOI 웨이퍼의 제조방법은, 웨이퍼 접합법(wafer bonding)과 SIMOX 법을 이용하여 제조하는 방법 등이 있다.

<7> 먼저, SIMOX 법은 반도체 기판의 소정 깊이에 산소를 이온 주입한 후 고온 열처리를 거쳐서 반도체 기판의 중간층에 절연막으로서 실리콘 산화막을 형성하는 것이다. 이러한 방법은 소자가 형성될 부분에 심각한 결함(defect)을 발생시킨다.

<8> 웨이퍼 접합법(wafer bonding)은, 두 개의 반도체 기판 표면에 실리콘 절연막을 형성하여 상호 접합함으로써, SOI 웨이퍼를 제조하는 방법이다. 그런데, 이러한 웨이퍼 접합법은, 하나의 웨이퍼를 만들기 위해서 반도체 기판을 두 개를 사용해야한다. 그리고, SOI 웨이퍼 상에 소자 형성공정을 위한 웰(well)이나 소자분리공정(Isolation)을 진행해야 하므로, 반도체 기판에 결함이 많이 함입되고 제조원가가 증가하는 단점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

- <9> 따라서, 본 발명이 이루고자 하는 기술적 과제는 SOI 웨이퍼를 이용하여 반도체 장치를 제조할 때, 제조공정 수를 감소시키고 에피 실리콘 성장(Epi growth)과 같은 추가공정이 필요 없는 SOI 웨이퍼 및 그의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <10> 상기 기술적 과제를 달성하기 위하여, 본 발명의 SOI 웨이퍼는, 소자형성 영역을 정의하기 위해서 형성된 소자분리용 절연막을 포함하는 제1반도체 기판과, 제1반도체 기판 상의 소자형성 영역에 구역별로 형성된 웰영역 및 매몰층과, 제1반도체 기판과 접합되고 소자분리용 절연막의 하부와 접촉하여 소자형성 영역의 하부를 전기적으로 차단시키도록 접합용 절연막이 형성된 제2반도체 기판을 포함한다.
- <11> 여기서, 소자분리용 절연막은 트렌치형의 실리콘 산화막인 것이 소자형성 영역의 깊이를 깊게 형성할 수 있고, 고집적화된 반도체 장치를 형성하기 용이하다.
- <12> 웰 및 매몰층은 소자의 특성에 맞추어 NMOS 영역과 PMOS 영역으로 분리되어 있고, NMOS 트랜지스터가 형성되는 NMOS 영역은 P웰이 PMOS 트랜지스터가 형성되는 PMOS영역은 N웰이 형성된다.
- <13> 접합용 절연막은 제1반도체 기판 상에 형성된 실리콘 산화막으로서 통상 열적으로 기지 실리콘 산화시켜 형성되는 것이 바람직하다.
- <14> 제1반도체 기판은 소자형성용이고, 제2반도체 기판은 박막화된 제1반도체 기판을 하부에서 지지할 수 있도록 지지기판역할을 한다.

- <15> 이러한 구성을 가진 본 발명의 SOI 웨이퍼의 제조방법은, 먼저, a) 제1반도체 기판 및 제2반도체 기판을 마련하여 제2반도체 기판 상에는 접합용 절연막을 형성하고, 제1반도체 기판의 전면에 소자분리용 절연막을 형성하여 소자형성 영역을 형성한다. b) 상기 소자형성 영역에 P웰과 N웰을 형성하기 위해 이온 주입을 한다. c) 제1반도체 기판과 제2반도체 기판을 상호 전면을 마주보고 가접합시킨다. d) 접합된 제1 및 제2반도체 기판을 소정온도 이상 가열하여 완전히 접합시킨다. e) 제1반도체 기판 후면의 기지 실리콘을 소자분리용 절연막 수준까지 연마하여 제거하고 소자형성 영역의 배면이 드러나도록 한다.
- <16> 여기서, a) 단계는, 제1반도체 표면 상에 패드용 절연막을 형성하고, 패드용 절연막과 제1반도체 기판 상에 소자분리용 트렌치를 형성한다. 소자분리용 트렌치를 매몰할 수 있도록 트렌치 충전용 절연막을 형성한다. 트렌치 충전용 절연막을 소정의 평탄화 공정을 이용하여 패드용 절연막 수준까지 평탄하게 제거하여 트렌치 내에만 트렌치 충전용 절연막을 잔류시킨다. 이때, 패드용 절연막은 실리콘 산화막을 포함하는데, 이 패드용 절연막은 실리콘 질화막을 더 포함할 수도 있다.
- <17> 그리고, 트렌치 충전용 절연막은 실리콘 산화막으로 형성되어 있고, 이—실리콘 산화막을 평탄화 공정은 화학적 기계연마법을 이용하는 것이 반도체 기판 면에 손상을 적게 주고 평탄도가 높아 바람직하다.
- <18> a)단계에서, 제2반도체 기판 상에 형성되는 접합용 절연막은 실리콘 산화막인 것이 막형성이 용이하고 추후 기판 접합시 접착력이 우수하여 바람직하다. 이러한 접합용 절연막은 제2반도체 기판의 기지 실리콘을 열적으로 산화시켜 형성되는 것이 양질의 막을 얻을 수 있어 바람직하다.

- <19> b) 단계는, N웰이 형성될 영역을 개방하는 패터닝이 형성된 포토 레지스트를 형성하고, 패터닝된 포토 레지스트를 마스크로 이용하여 이온 주입법으로 N형 불순물 이온을 제1 반도체 기판의 기지 실리콘에 주입한다. 그리고, 표면의 반도체 기판 상의 포토 레지스트를 제거한다. 그런 다음, 제1반도체 기판 상에 P웰 영역이 개방되도록 패터닝된 포토 레지스트를 형성하고, 패터닝된 포토 레지스트를 마스크로 이용하여 이온 주입법으로 P형 불순물 이온을 제1반도체 기판의 기지 실리콘에 주입한다. 반도체 기판 상의 포토 레지스트를 제거한다.
- <20> 여기서, 상기의 P형 불순물과 N형 불순물을 주입하는 순서는 서로 바꾸서 실행할 수도 있다.
- <21> 이때, N형 불순물은 인(P), 비소(As), 인티몬(Sb) 등의 5가 이온이고, P형 불순물은 붕소(B)와 BF_2 와 같은 3가 원소이다.
- <22> c) 단계는, 제1반도체 기판과 상기 제2반도체 기판의 전면이 마주보도록 배치하고, 제1반도체 기판과 제2반도체 기판의 후면을 수직 가압한다. 이때, 제1반도체 기판 및 제2반도체 기판 표면에는 소정의 수증기막(Vapor H_2O)이 형성되도록 수화처리하는 것이 반도체 기판들을 상호 접합하기 용이하여 바람직하다.
- <23> d) 단계는, N웰 및 P웰용으로 주입된 이온들이 웰을 형성할 수 있을 정도의 온도 이상에서 진행되는 것이 불필요한 열처리 공정을 줄일 수 있어 바람직하다.
- <24> e) 단계는, 제1반도체 기판의 후면이 연마면이 되도록 준비하고, 소정의 연마공정을 이용하여 제1반도체 기판의 후면 기지 실리콘을 연마한다. 여기서, 기지 실리콘을 연마하는 단계에서는, 그라인더(grinder)를 이용하여 제1반도체 기판의 후면을 그라인딩

(grinding)하는 단계를 포함하는 것이 두꺼운 반도체 기판 후면을 쉽게 제거할 수 있어 바람직하다. 그리고, 연마공정은 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하는 것이 평탄 정밀도를 높일 수 있어 바람직하다. 이때, 평탄화 공정은 소자분리용 절연막을 연마 스톱퍼(polishing stopper)로 이용하는 것이 평탄도를 높일 수 있어 유리하다.

<25> 한편, e)단계 이후에, 반도체 기판 표면에 보호용 절연막을 형성하는 것이 소자형성 영역의 기지실리콘이 드러난 부분을 외부의 불순물로부터 보호할 수 있어 바람직하다. 특히, 보호용 절연막은 실리콘 산화막인 것이 유리하다.

<26> 이렇게 본 발명의 SOI 웨이퍼와 그의 제조방법은, SOI 웨이퍼를 제조하면서 이미 소자분리용 절연막과 웰 및 매몰층이 형성되어 있어, 반도체 장치를 제조하기 위해서 필요한 공정들을 크게 감소시킬 수 있다. 그리하여, SOI 웨이퍼를 이용하여 반도체 장치를 제조하기 위해서 소요되는 단가를 절감할 수 있다.

<27> 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.

<28> 도 1은 본 발명에 따른 SOI 웨이퍼의 단면도이다.

<29> 이를 참조하면, 본 발명에 따른 SOI 웨이퍼는, 소자가 형성되도록 소자형성영역을 정의하기 위해서 소자분리용 절연막(110)이 형성된 제1반도체 기판(100)과,

이 제1반도체 기판(100)과 접합되어 지지하면서 SOI 구조를 형성하기 위해서 표면에 SOI 절연막(120)이 형성된 제2반도체 기판(200)을 포함한다.

<30> 여기서, 소자분리용 절연막(110)은, 제1반도체 기판(100)에 소정 깊이의 트렌치(미도시)를 형성하고 이 트렌치 내에 실리콘 절연막을 충전하여 형성된다. 이때, 실리콘 절연막은 실리콘 산화막이다. 이러한 실리콘 산화막은 일반적으로 화학기상 증착법(Cheical Vapor Deposition)으로 형성되며, 비교적 너비가 극도로 좁은 초 고집적 패턴에서는 기지 실리콘을 열적으로 산화시켜 형성된 실리콘 산화막일 수도 있다.

<31> 웰 및 매몰층(101a, 101b)은, 소자형성 영역에 구역별로 NMOS 및 PMOS 트랜지스터가 형성될 영역에 P웰(101a)과 N웰(101b)이 구별되어 형성된다. 그리하여 추후 반도체 장치를 형성하기 위해서 소자형성 공정을 진행할 때, 웰 형성공정(well drive-in)이나 혹은 매몰층을 형성하기 위한 에피 실리콘 증착 공정 등의 추가 공정을 진행할 필요가 없다.

<32> SOI 절연막(120)은, 패턴이 전혀 없는 제2반도체 기판(100b) 상에 소정 두께로 형성된 실리콘 절연막과 제1반도체 기판(101a)의 표면에 형성된 절연막과의 결합체이다. 이러한 실리콘 산화막은 도핑이 되지 않은 실리콘 산화막을 화학기상 증착법(Cheical Vapor Deposition)으로 형성할 수도 있고, 제1 및 제2반도체 기판(101a, 100b)을 열적으로 산화시켜 형성할 수도 있다. 이때, SOI 절연막(120)의 두께는 SOI 구조를 형성하는 중요한 구성 요소로서 하부의 기지 실리콘(100b)과 상부에 배치된 제1반도체 기판(101a)의 소자형성 영역 사이에 전기적으로 충분히 절연될 수 있을 정도로 형성한다.

<33> 그리하여, 본 발명의 SOI 웨이퍼는, 소자의 측방은 물론 하부 영역까지 안정되게 전기적으로 절연되는 소자형성 영역을 얻을 수 있다.

- <34> 도 2는 본 발명의 SOI 웨이퍼의 제조방법을 개략적으로 나타낸 공정 흐름도이다. 그리고, 도 3 내지 도 9는 본 발명의 SOI 웨이퍼의 제조방법을 순차적으로 나타낸 단면도들이다. 도 3내지 도 9를 참조하면서 도 2를 설명한다.
- <35> 도 3을 참조하면, 제1반도체 기판(100a)과 제2반도체 기판(100b)을 준비한다.(S1) 그리고, 소자가 형성될 제1반도체 기판에 소자분리용 절연막(110)을 형성한다.(s11)
- <36> 먼저, 제1반도체 기판(100a) 상에 마스크용 절연막(미도시)을 형성하고, 소정의 포토 공정을 거쳐서 마스크용 절연막 상에 트렌치 패턴이 형성된 포토 레지스트(미도시)를 형성한다. 패턴닝된 포토 레지스트를 마스크로 이용하여 건식식각으로 마스크용 절연막과 제1반도체 기판(100a)에 트렌치 패턴을 형성하여 트렌치(110, 소자분리용 절연막과 일치)를 형성한다. 그런 다음, 소정의 세정공정을 이용하여 포토 레지스트를 제거한다. 이렇게 트렌치가 형성된 제1반도체 기판(100a) 상에 트렌치 충전용 절연막(110과 동일한 막)을 형성한다. 그리고, 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하여 트렌치 충전용 절연막을 마스크용 절연막의 상부 수준까지 평탄하게 제거하여 트렌치 내부에만 트렌치 충전용 절연막을 잔류시켜 소자분리용 절연막(110)을 형성하고 소자형성 영역을 정의한다. 그리고, 소자형성 영역의 기지 실리콘 상에 패드 절연막(120a)을 형성한다. 이 패드 절연막(120a)은 열적 산화법(Thermal Oxidation)으로 형성된 실리콘 산화막일 수도 있다. 그리고, 이온 주입시 기지 실리콘에 주입된 이온이 아웃 디퓨전(out diffusion)되는 것을 방지하는 역할을 하거나 이온 주입시 발생되는 실리콘 표면의 손상(damage)을 줄일 수 있고 이온 주입시 금속이온이 도핑되는 것을 방지한다.
- <37> 도 4와 도 5를 참조하면, 제1 반도체 기판 상에 N웰, P웰 및 매몰층을 위한 이온 주입을 한다.(s12)

- <38> 도 4를 참조하면, 제1반도체 기판(100) 표면에 포토 공정을 이용하여 N웰(101b)이 형성될 영역을 개방시키는 패턴을 갖는 포토 레지스트(310)를 형성한다. 이 패턴닝된 포토 레지스트(310)를 마스크로 이용하여 이온 주입법(Ion Implanting)으로 N형 불순물을 개방된 부분의 소자형성 영역에 주입한다. 세정공정을 거쳐서 포토 레지스트(310)를 제거한다. N형 불순물로서는, 원자가 전자가 5가인 인(P), 비소(As), 안티몬(Sb) 중 어느 하나를 적용할 수 있고, 이들을 혼합하여 복수로 이온 주입할 수도 있다.
- <39> 도 5를 참조하면, 포토 공정을 이용하여 제1반도체 기판(100) 상에 P웰(도 1의 101a)이 형성될 영역이 개방된 패턴을 갖는 포토 레지스트(320)를 형성한다. 이온 주입법을 이용하여 개방된 소자형성 영역에 P형 불순물을 주입한다. 그리고, 소정의 세정공정을 거쳐서 포토 레지스트(320)를 제거한다. P형 불순물은 원자가 전자가 3가인 보론(B) 이나 BF_2 등을 적용한다.
- <40> 한편, 도 4와 도 5의 이온 주입공정은, N형 이온 주입과 P형 이온주입 순서는 편의에 따라서 순서를 변경하여 주입할 수 있다.
- <41> 그런 다음, 소자형성 영역의 표면에 잔류해 있는 패드 산화막(120a)을 습식식각을 이용하여 제거하고 다시 그 위에 패드 절연막(120a)을 형성한다.(s13) 이때, 패드 절연막(120a)은 추후 접합 공정시에 상호 접촉되는 제2반도체 기판(100b)의 접착용 절연막(120b)과 결합되어 SOI 절연막(도 1의 120)이 된다.
- <42> 도 6을 참조하면, 제2반도체 기판(200) 상에 접합용 절연막(120b)을 형성한다.(s2) 이때, 접합용 절연막은(120b) 실리콘 산화막인 것이 추후 반도체 기판 접합시 용이하게 접합이 되고 접착력이 높다. 접합용 절연막(120)은 화학기상 증착법(Chemical Vapor

Deposition)을 이용하여 형성될 수도 있고, 열적 산화법(Thermal Oxidation)을 이용하여 형성할 수도 있다. 이때, 접합용 절연막(120)은 추후 벌크 영역으로의 전기적 절연막으로서의 기능을 해야하기 때문에, 소자의 특성에 따라 충분히 높은 내압(applied voltage)을 견딜 수 있을 정도로 두껍게 형성되어야 한다. 통상 수 천 A 이상이 적합하다.

<43> 도 7을 참조하면, 제1반도체 기판(100a)과 제2반도체 기판(100b)의 전면을 상호 마주보고 가접합한다.(s3) 즉, 반도체 기판들(100a, 100b)의 접합되는 표면에는 소정의 수증기(H₂O vapor)를 흡착시키는 수화처리를 한다. 그러면, 접합이 용이하게 진행되어 바람직하다. 그리고, 수화된 반도체 기판들(100a, 1200b)을 상호 마주보고 대면하여 제1반도체 기판(100a)의 패드용 절연막(120a)과 제2반도체 기판(100b)의 접합용 절연막(120b)이 접촉되도록 한 후 배면에서 판 면에 수직으로 소정의 힘으로 가압하여 접합시킨다. 그러면, 제1반도체 기판(100a)과 제2반도체 기판(100b)은 가접합된다.

<44> 도 8을 참조하면, 가접합된 반도체 기판들(100a, 100b)을 열처리로(furnace)에서 소정시간 열처리하여 두 개의 반도체 기판들을 완전히 접합시킨다.(s4) 즉, 일정온도 이상으로 가열하여 반도체 기판들(100a, 100b)을 열처리하면, 접합면에서 부분적으로 접합되어 있는 실리콘 산화막이 분자들의 이동에 의해서 결합되지 않고 공간으로 남아있는 공극 부분(vacancy)들로 이동하여 이들 공극 부분을 채우고 상호 결합되어 두 반도체 기판(100a, 100b)이 접합용 절연막(120b) 및 패드용 절연막(120a)에 의해서 완전히 결합된다. 이때, 가열되는 온도는, 각각의 N웰(도 1의 101b) 및 P웰(도 1의 101a) 그리고 매몰층 영역에 주입된 불순물 원자들이 전기적으로 활성화되고 3 차원으로 확산되어 자기 영역을 형성할 수 있을 정도의 온도인 것이 바람직하다. 그리하여, 웰 활성화용 열처리

공정(well drive-in)을 추가하지 않을 수 있어 공정을 단순화 할 수 있다. 그러면, 소자 형성 영역에 N웰(101b) 및 P웰(101a) 그리고 매몰층이 형성된다.

<45> 도 9를 참조하면, 소정의 연마공정을 이용하여 제1반도체 기판(100a)의 후면 기지 실리콘을 평탄하게 제거하여 제1반도체 기판(100a)의 후면부로 소자형성 영역이 드러나도록 한다.(s5) 이때, 연마공정은 제1단계로 처음에는 비교적 연마속도가 높은 그라인더(grinder)를 이용하여 그라인딩(grinding)하여 소정 두께의 기지 실리콘을 제거하고, 다음 단계로, 보다 정교하게 연마공정이 조절되는 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하여 소자분리용 절연막(110)의 하부 수준까지 제1반도체 기판(100a)의 기지 실리콘을 평탄하게 제거하여 소자형성 영역의 후면부가 노출되도록 한다. 이때, 연마 공정의 연마 스톱퍼(polishing stopper)로는 실리콘 산화막으로 형성된 소자분리용 절연막(110)을 이용한다. 그리하여, 연마공정 시에 정확하고 평탄하게 기지 실리콘을 제거할 수 있다.

<46> 도 10을 참조하면, 연마공정을 거쳐서 소자형성 영역의 후면이 드러난 제1반도체 기판(100a) 표면에 표면 평탄화를 위한 희생 산화막(150)을 형성한다. 이러한 희생 산화막(150)은, 연마 공정이 진행되는 동안 기지 실리콘의 표면에 형성되었던 결함들(defect)을 모두 흡수하여 산화막으로 변화시키고 표면 굴곡이 있는 부분은 완화시켜 기지 실리콘의 평탄도(planarity)를 높일 수 있다. 이러한 희생 산화막(150)은 추후 반도체 장치를 제조하기 위해 장시간 대기할 때, 주변환경의 불순물들에 의해서 표면이 오염되지 않도록 보호해주는 보호용 절연막(150)이 될 수 있다.

- <47> 한편, 희생 산화막(150)을 습식식각으로 모두 제거한 후, 별도로 열적 산화법 (thermal oxidation)과 추가의 화학기상 증착법(Chemical Vapor Deposition)으로 형성된 실리콘 절연막을 더 형성하여 보다 완벽한 보호용 절연막(150)을 형성할 수도 있다.
- <48> 이상과 같이, 본 발명에 따른 SOI 웨이퍼 및 그의 제조방법은, SOI 웨이퍼를 제작 하는 단계에서 소자분리용 절연막(110)을 형성하여 소자형성 영역을 정의하고, 소정의 이온 주입공정을 거쳐서 N웰(101a), P웰(101b) 및 매몰층(buried layer)을 형성하기 때문에, 반도체 장치의 제조시에 소자형성 공정과 웰 형성공정 등의 제조 공정 수를 현저히 감소시킬 수 있다.
- <49> 그리고, 일반적인 SOI 웨이퍼 상에서 웰을 형성할 경우, 이온 주입법을 이용하여 상부의 실리콘 층에 웰 형성을 불순물을 주입하고 열처리를 하게된다. 그러면, 상부의 실리콘 층의 두께가 두껍지 못하여 정확한 이온 주입이 어렵다. 그리고, 하부에 형성된 SOI 절연막에 의해서 이온의 확산이 차단되기 때문에 웰 농도를 조절하기가 어려워 반도체 소자의 특성을 조정하기가 어렵다. 그러나, 본 발명의 SOI 웨이퍼는, SOI 웨이퍼 상에 이미 균일한 농도의 웰(101a, 101b)이 형성된 상태이기 때문에, 반도체 소자의 전기적 특성을 정확하게 조절할 수 있는 장점이 있다.
- <50> 한편, 본 발명의 SOI 웨이퍼의 제조방법은, 웰 이온 주입 공정을 미리 진행하고, 후에 소자분리용 절연막을 형성하여 소자형성 영역을 정의할 수도 있다.
- <51> 그리고, 웰 이온 주입 공정 후에, 패드 절연막(120a)은 최초로 형성된 패드 산화막 (120a)을 제거하지 않고 그대로 잔류시켜 사용할 수도 있고, 추가의 산화막 형성공정을 거쳐서 더 두껍게 형성할 수도 있다.

【발명의 효과】

- <52> 상술한 바와 같이 본 발명의 SOI 웨이퍼 및 그의 제조방법은, 소자형성 영역과 웰이 형성된 SOI 웨이퍼를 지공할 수 있다. 그리하여, 반도체 장치의 제조시에 제조단가를 현저히 절감할 수 있다.
- <53> 그리고, 본 발명의 SOI 웨이퍼는 웰이 미리 형성되어 제조되기 때문에, 균일한 농도의 웰을 형성하여 반도체 장치의 전기적 특성을 정확히 조절할 수 있어 제품 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

소자형성 영역을 정의하기 위해서 형성된 소자분리용 절연막을 포함하는 제1반도체 기판;

상기 제1반도체 기판 상의 상기 소자형성 영역에 구역별로 형성된 웰영역과 매몰층; 및

상기 제1반도체 기판과 접합되고, 상기 소자분리용 절연막의 하부와 접촉하여 소자형성 영역의 하부를 전기적으로 차단시키도록 SOI 절연막이 형성된 제2반도체 기판을 포함하는 것을 특징으로 하는 SOI 웨이퍼.

【청구항 2】

제1항에 있어서, 상기 소자분리용 절연막은 트렌치형의 실리콘 산화막인 것을 특징으로 하는 SOI 웨이퍼.

【청구항 3】

제1항에 있어서, 상기 웰 및 매몰층은 NMOS 영역과 PMOS 영역으로 분리되어 있는 것을 특징으로 하는 SOI 웨이퍼.

【청구항 4】

제3항에 있어서, 상기 NMOS 영역은 P웰이 상기 PMOS영역은 N웰이 형성되어 있는 것을 특징으로 하는 SOI 웨이퍼.

【청구항 5】

제1항에 있어서, 상기 SOI 절연막은 실리콘 산화막인 것을 특징으로 하는 SOI 웨이퍼.

【청구항 6】

제1항에 있어서, 상기 제1반도체 기판은 소자형성용이고, 상기 제2반도체 기판은 상기 제1반도체 기판을 지지하는 지지기판인 것을 특징으로 하는 SOI 웨이퍼.

【청구항 7】

a) 제1반도체 기판 및 제2반도체 기판을 마련하여 상기 제2반도체 기판 상에는 접합용 절연막을 형성하고, 상기 제1반도체 기판의 전면에 소자분리용 절연막을 형성하여 소자형성 영역을 형성하는 단계;

b) 상기 소자형성 영역에 P웰과 N웰을 형성하기 위해 이온 주입을 하는 단계;

c) 상기 제1반도체 기판과 상기 제2반도체 기판을 전면을 마주보고 가접합시키는 단계;

d) 상기 접합된 제1 및 제2반도체 기판을 소정온도 이상 가열하여 완전히 접합시키는 단계; 및

e) 상기 제1반도체 기판 후면의 기지 실리콘을 소자분리용 절연막 수준까지 연마하여 제거하고 소자형성 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 8】

제7항에 있어서, 상기 a) 단계는,

상기 제1반도체 표면 상에 마스크용 절연막을 형성하는 단계;

상기 마스크용 절연막과 상기 제1반도체 기판 상에 소자분리용 트렌치를 형성하는 단계;

상기 소자분리용 트렌치를 매몰할 수 있도록 트렌치 충전용 절연막을 형성하는 단계;

상기 트렌치 충전용 절연막을 소정의 평탄화 공정을 이용하여 상기 마스크용 절연막 수준까지 평탄하게 제거하여 트렌치 내에만 상기 트렌치 충전용 절연막을 충전하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 9】

제8항에 있어서, 상기 마스크용 절연막은 실리콘 산화막을 포함하는 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 10】

제9항에 있어서, 상기 마스크용 절연막은 실리콘 질화막을 더 포함하는 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 11】

제8항에 있어서, 상기 트렌치 충전용 절연막은 실리콘 산화막인 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 12】

제8항에 있어서, 상기 평탄화 공정은 화학적 기계연마법을 이용하는 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 13】

제7항에 있어서, a)단계에서, 상기 접합용 절연막은 실리콘 산화막인 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 14】

제13항에 있어서, 상기 접합용 절연막은 상기 제2반도체 기판의 기지 실리콘을 열적으로 산화시켜 형성되는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 15】

제7항에 있어서, 상기 b)단계는,

N 웰이 형성될 영역을 개방하는 패턴이 형성된 포토 레지스트를 형성하는 단계; 및

상기 패턴닝된 포토 레지스트를 마스크로 이용하여 이온 주입법으로 N형 불순물을 상기 제1반도체 기판의 기지 실리콘에 주입하는 단계;

상기 포토 레지스트를 제거하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 16】

제8항에 있어서, 상기 b) 단계는,

상기 제1반도체 기판 상에 P웰 영역이 개방되도록 패턴닝된 포토 레지스트를 형성하는 단계; 및

상기 패턴닝된 포토 레지스트를 마스크로 이용하여 이온 주입법으로 P형 불순물을 상기 제1반도체 기판의 기지 실리콘에 주입하는 단계;

상기 포토 레지스트를 제거하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 17】

제16항에 있어서, 상기 N형 불순물은 인(P), 비소(As), 인티몬(Sb) 등의 5가 이온인 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 18】

제16항에 있어서, 상기 P형 불순물은 붕소(B)와 BF_2 와 같은 3가 원소인 것을 특징으로 하는 SOI 웨이퍼 제조방법.

【청구항 19】

제7항에 있어서, 상기 c) 단계는,

상기 제1반도체 기판과 상기 제2반도체 기판의 전면이 마주보도록 배치하는 단계;
및

상기 제1반도체 기판과 상기 제2반도체 기판의 후면을 수직 가압하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 20】

제19항에 있어서, 상기 제1반도체 기판 및 상기 반도체 기판 표면에는 소정의 수증기(H_2O vapor)가 흡착되도록 하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 21】

제7항에 있어서, 상기 d)단계는, 상기 N웰 및 P웰용으로 주입된 이온들이 웰형성할 수 있을 정도의 온도 이상에서 진행되는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 22】

제7항에 있어서, 상기 e) 단계는,

제 1반도체 기판의 후면이 연마면이 되도록 준비하는 단계; 및

소정의 연마공정을 이용하여 상기 제1반도체 기판의 후면 기지 실리콘을 연마하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 23】

제22항에 있어서, 상기 기지 실리콘을 연마하는 단계는, 그라인더(grinder)를 이용하여 상기 제1반도체 기판의 후면을 그라인딩(grinding)하는 단계를 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 24】

제22항에 있어서, 상기 연마공정은 화학적 기계연마법(Chemical Mechanical Polishing)을 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 25】

제24항에 있어서, 상기 평탄화 공정은 상기 소자분리용 절연막을 연마 스톱퍼(polishing stopper)로 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 26】

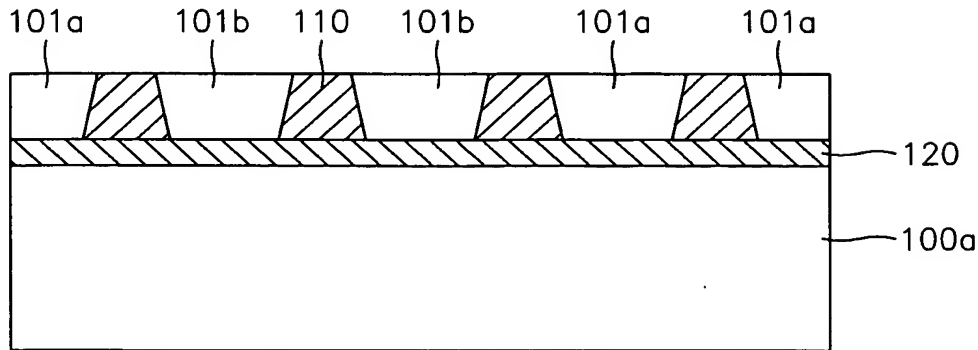
제7항에 있어서, 상기 e)단계 이후에, 반도체 기판 표면에 보호용 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【청구항 27】

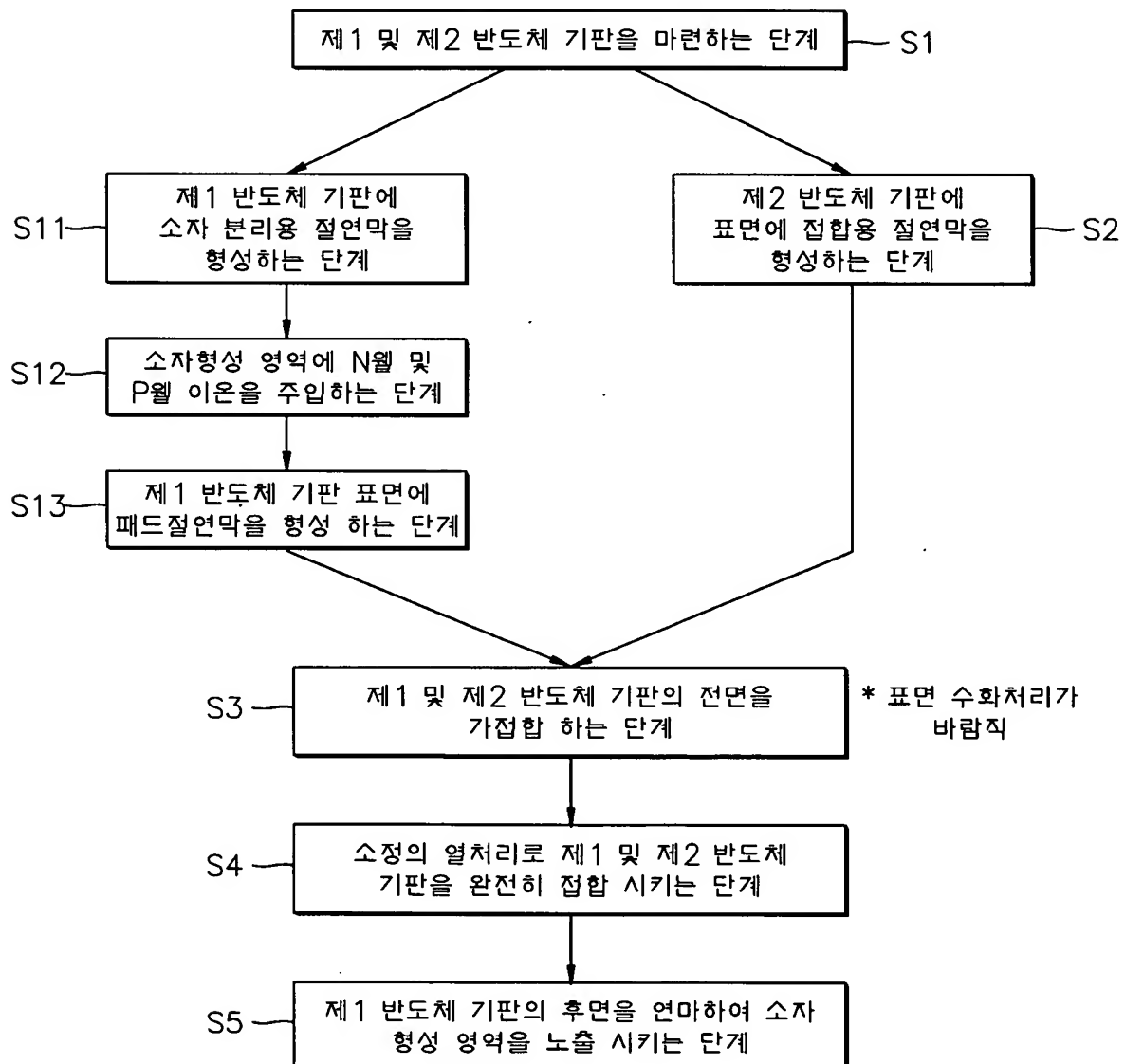
제26항에 있어서, 상기 보호용 절연막은 실리콘 산화막인 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

【도면】

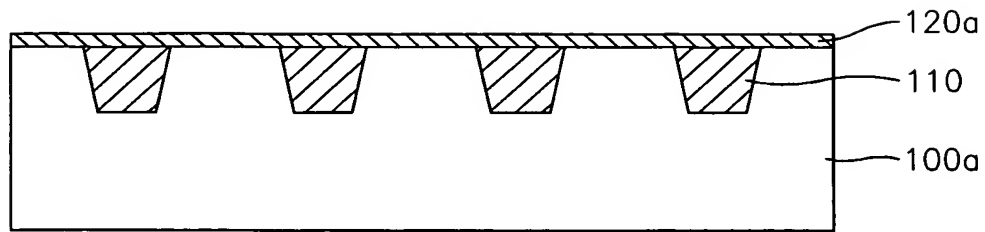
【도 1】



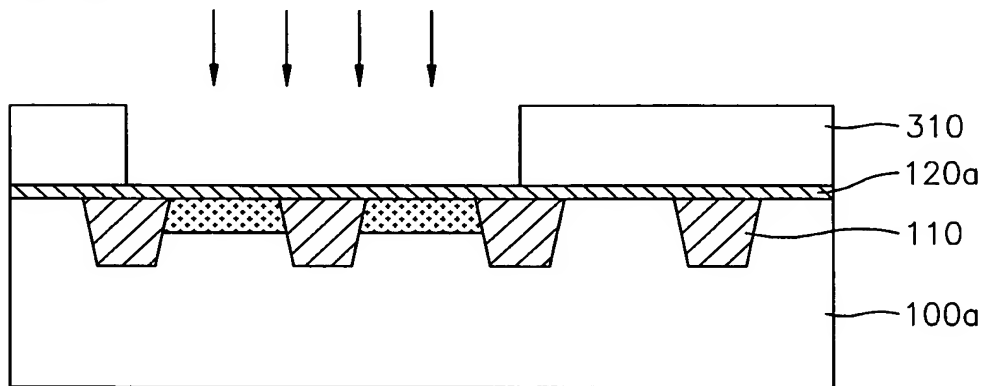
【도 2】



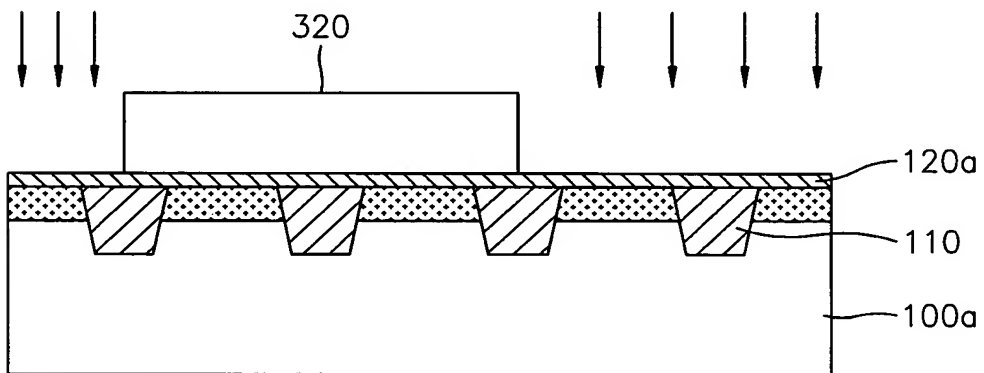
【도 3】



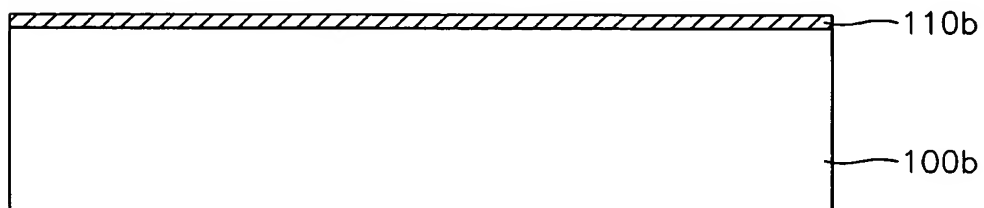
【도 4】



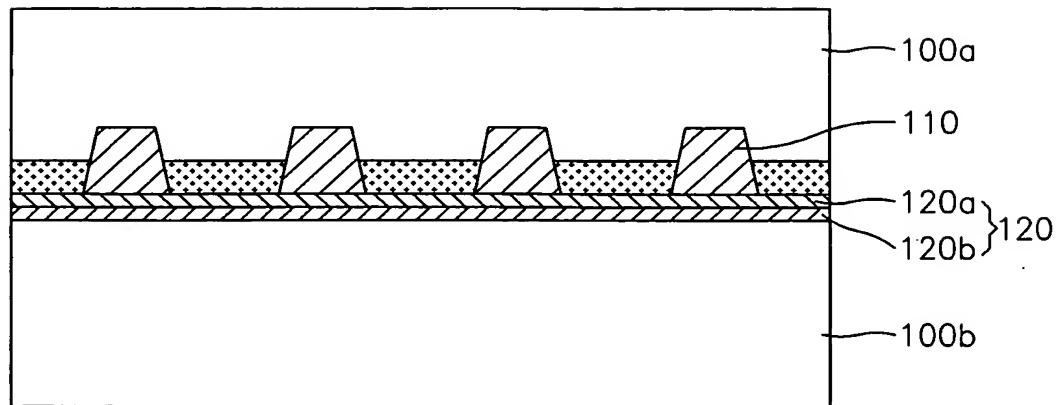
【도 5】



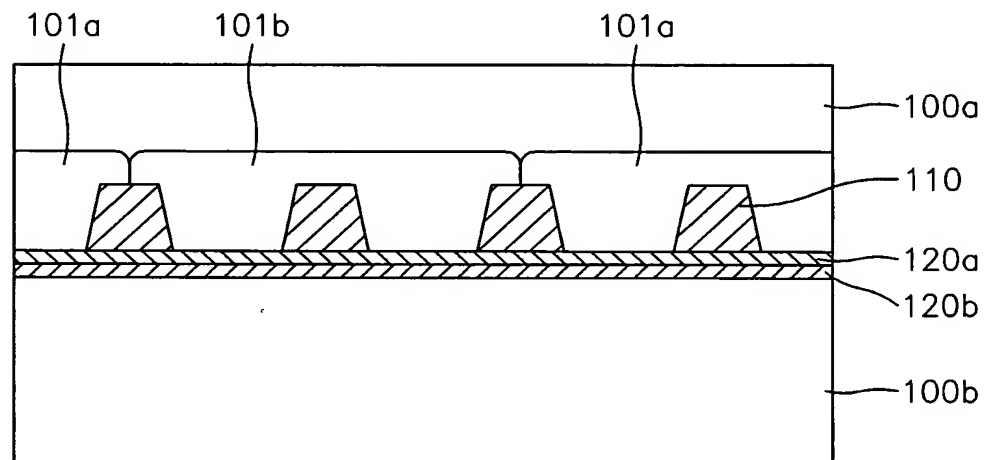
【도 6】



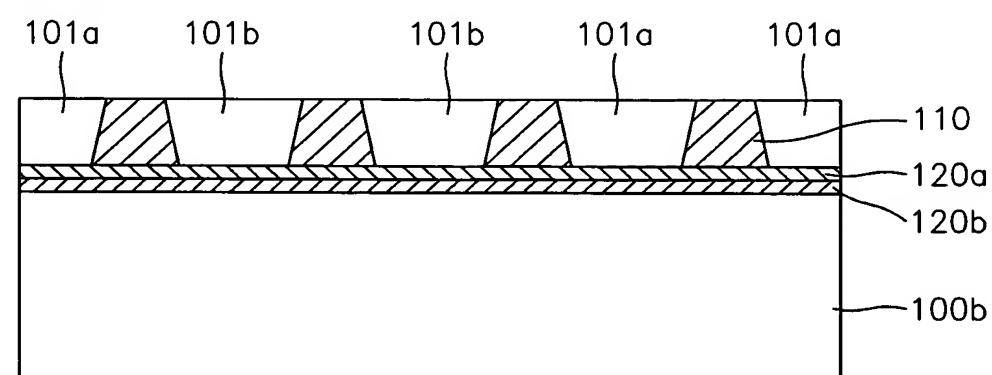
【도 7】



【도 8】



【도 9】



【도 10】

